

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-004399
 (43)Date of publication of application : 14.01.1994

(51)Int.Cl. G06F 12/06
 G11C 16/06

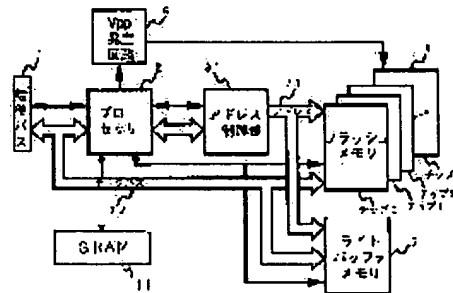
(21)Application number : 04-163074 (71)Applicant : HITACHI LTD
 (22)Date of filing : 22.06.1992 (72)Inventor : KAKI KENICHI
 KATAYAMA KUNIHIRO
 TSUNEHIRO TAKASHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To enable high-speed write at a semiconductor disk device using a flash memory of which write speed is lower in comparison with the read speed.

CONSTITUTION: This device is provided with a standard bus 1, plural flash memories 4, write buffer memory 5 to temporarily hold data, and processor 2. The processor 2 controls the write of data or performs the exchange/analysis of commands or status. An address control part 31 generates physical addresses, a Vpp generation circuit 6 is the write power source of the flash memories, and a memory address bus 71 and a data bus 72 are also provided. The processor 2 writes the data of one word to be continuously written in any arbitrary flash memory and continuously writes the data in the access enable flash memory during the waiting time until the next data of one word can be written in the flash memory.



LEGAL STATUS

[Date of request for examination] 22.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3328321

[Date of registration] 12.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-4399

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵ G 06 F 12/06 G 11 C 16/06	識別記号 530	序内整理番号 9366-5B	F I 6741-5L	技術表示箇所 G 11 C 17/ 00 309 A
--	-------------	-------------------	----------------	-------------------------------

審査請求 未請求 請求項の数6(全11頁)

(21)出願番号 特願平4-163074	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 (72)発明者 柿 健一 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所マイクロエレクトロニク ス機器開発研究所内 (72)発明者 片山 国弘 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所マイクロエレクトロニク ス機器開発研究所内 (74)代理人 弁理士 富田 和子
-------------------------	--

最終頁に続く

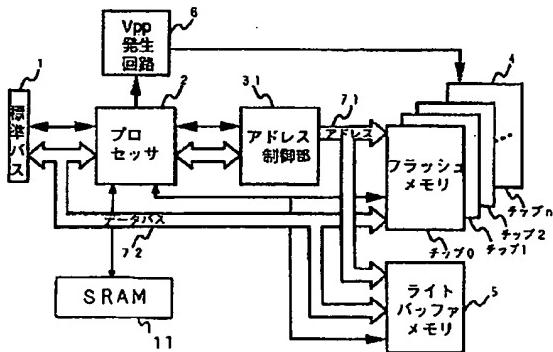
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 読み出しに比較して書き込みが低速なフラッシュメモリを用いた半導体ディスク装置において、高速な書き込みを提供する。

【構成】 標準バス1、複数個のフラッシュメモリ4、データを一時保持するためのライトバッファメモリ5、プロセッサ2を有する。プロセッサ2は、データの書き込みの制御や、コマンドやステータスの受取や解析を行う。31は物理アドレスを発生するアドレス制御部、6はフラッシュメモリの書き込み電源であるVpp発生回路、71はメモリアドレスバスであり、72はデータバスである。プロセッサ2は、連続に書き込まれる1ワードのデータを任意のフラッシュメモリに書き込み、そのフラッシュメモリに次の1ワードのデータの書き込みが可能となるまでの待ち時間の間に、アクセス可能なフラッシュメモリに連続して書き込んでいく。

半導体ディスク装置ブロック図(図1)



【特許請求の範囲】

【請求項 1】 フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、

書き込み指示を上記フラッシュメモリに送り、書き込み指示が送られた上記フラッシュメモリが次の書き込み指示を受付可能となるまでの間に、書き込みが行なわれている上記フラッシュメモリとは別のフラッシュメモリに書き込み指示を送る制御部を有することを特徴とした半導体記憶装置。

【請求項 2】 フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、

書き込み指示を上記フラッシュメモリに送る制御部を有し、

書き込み指示が送られた上記フラッシュメモリは、次の書き込み指示を受付可能となると受付可能の信号を出力し、

制御部は、上記受付可能の信号を受付けるまでの間に、書き込みが行なわれている上記フラッシュメモリとは別のフラッシュメモリに書き込み指示を送ることを特徴とした半導体記憶装置。

【請求項 3】 フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、

データの消去の指示を上記フラッシュメモリに送り、指示が送られた上記フラッシュメモリが次の消去の指示を受付可能となるまでの間に、消去が行なわれている上記フラッシュメモリとは別のフラッシュメモリに消去の指示を送る制御部を有することを特徴とした半導体記憶装置。

【請求項 4】 フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、

データの消去の指示を上記フラッシュメモリに送る制御部を有し、消去の指示が送られた上記フラッシュメモリは、次の消去の指示が受付可能となると受付可能の信号を出力し、制御部は、上記受付可能の信号を受付けるまでの間に、消去が行なわれている上記フラッシュメモリとは別のフラッシュメモリに消去の指示を送ることを特徴とした半導体記憶装置。

【請求項 5】 フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、

データの書き込みの指示もしくはデータの消去の指示を上記フラッシュメモリに送り、データの書き込みの指示もしくはデータの消去の指示を送ったフラッシュメモリを示す信号を出力する制御部と、

上記フラッシュメモリを示す信号を受けて、上記フラッ

シュメモリがデータを書き込む際もしくはデータを消去する際に使用する電圧を、上記書き込みもしくは消去が行われているフラッシュメモリに選択的に供給するスイッチを有することを特徴とした半導体記憶装置。

【請求項 6】 請求項 1、2、3、4 または 5 記載の半導体記憶装置において、

データの書き込みの指示もしくはデータの消去の指示を受けたフラッシュメモリの論理アドレスと物理アドレスの対応情報を記憶する記憶手段を有することを特徴とした半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフラッシュメモリを用いた半導体記憶装置に関し、特にフラッシュメモリを用いた半導体ディスク装置などに連続してデータの書き込みをすることに関する。

【0002】

【従来の技術】 本発明は、例えば、複数ビットを 1 ワードとして、ワード単位に読み出し書き込み可能で、チップ単位あるいは複数ワード単位に電気的に消去可能なフラッシュ EEPROM を複数個搭載し、上記フラッシュメモリに連続してデータの書き込みを行なう装置において、1 ワードのデータを上記書き込み装置に搭載された任意の前記フラッシュメモリに書き込み、書き込みが行なわれた上記フラッシュメモリが次の 1 ワードのデータを書き込み可能となる一定時間の間に、前記装置に搭載された書き込みが行なわれている前記フラッシュメモリとは別のフラッシュメモリに 1 ワードのデータを書き込むことを特徴とする。

【0003】 従来技術に係るコマンド制御方式で書き込みや消去を行うフラッシュメモリの、データ書き込みのタイミング波形を図 8 に示す。図中 Vcc はフラッシュメモリの電源電圧であり、常時 +5V が印加されている。Vpp は書き込み電源であり、フラッシュメモリでデータの書き込みを行うとき電源電圧 Vcc より高い電位を印加する。アドレスはフラッシュメモリのデータの書き込み領域をバイト単位に指定するものである。OE はアウトプットイネーブル信号であり、フラッシュメモリからデータの読み出しを行う際に L0w とし、他の時は H1g1h とする。CE はチップイネーブル信号であり、フラッシュメモリにコマンドやデータの読み出し書き込みを行うとき L0w とする。また、本フラッシュメモリの CE はライトイネーブル信号も兼ねており、Vpp が高電位かつ OE が H1g1h の時 OE の立上りでデータが書き込まれる。I/O7 および I/O0~I/O6 はデータ線である。統いて、フラッシュメモリに 1 バイトのデータを書き込むときの動作を示す。まず、CE の立上りのタイミングでデータ線上のコマンドをフラッシュメモリに書き込む。このコマンドはフラッシュメモリに 1 ワードのデータの書き込みの開始を知らせる、

3

ライトセットアップコマンドである。このコマンドの書き込みの後、CEの立上りのタイミングでデータ線上のデータをフラッシュメモリに書き込む。このコマンドとデータの書き込み時のCEのLow期間は最小50ナノ秒である。しかし、実際にはフラッシュメモリ内部ではメモリチップへの書き込みが始まったところであり、内部での書き込みが終了するまで次のデータは書き込むことはできない。ここでフラッシュメモリの内部での書き込みが終了するまで、数十マイクロ秒の時間が必要であり、コマンドと1ワードのデータの書き込みの時間に比較してかなりの時間を要する。そして、この数十マイクロ秒の時間を経て、フラッシュメモリチップの内部での書き込みが終了したことを調べる手段としてステータスポーリングが有る。これはCEとOEをLowにしてI/O7からステータスを読み出してメモリチップ内部での書き込みの終了を判定する。

【0004】

【発明が解決しようとする課題】上記技術は、複数ワードのデータを連続して書き込む場合かなりの時間を要する。コマンドと1ワードのデータの書き込みは数十ナノ秒から数百ナノ秒程度である。しかし、1ワードのデータを書き込んでからフラッシュメモリチップ内部での書き込みが終了するまでには、数マイクロ秒から数十マイクロ秒の時間が必要であり、この間はフラッシュメモリにアクセスできない。そのため、1ワードのデータを書き込むためのトータルの時間が読みだし時間に比較してかなり遅い。また、複数ワードのデータを連続で書き込む場合、書き込むワード数に比例して書き込み時間が増大する。例えばフラッシュメモリを用いて半導体ディスク装置を構築した場合、数キロワードから数十キロワード、あるいはそれ以上のデータが連続で書き込まれる。そうすると、書き込まれるデータに比例して書き込み時間が増大するため、システム全体として書き込みの転送が遅くなる。

【0005】本発明の目的は、データの書き込み時間を短縮した半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】上記問題を解決するために、フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、書き込み指示を上記フラッシュメモリに送り、書き込み指示が送られた上記フラッシュメモリが次の書き込み指示を受付可能となるまでの間に、書き込みが行なわれている上記フラッシュメモリとは別のフラッシュメモリに書き込み指示を送る制御部を有することとしたものである。

【0007】

【作用】フラッシュメモリを複数個搭載し、上記フラッシュメモリにデータの記憶を行なう半導体記憶装置において、制御部は、書き込み指示を上記フラッシュメモリ

4

に送り、書き込み指示が送られた上記フラッシュメモリが次の書き込み指示を受付可能となるまでの間に、書き込みが行なわれている上記フラッシュメモリとは別のフラッシュメモリに書き込み指示を送る。

【0008】

【実施例】本実施例では、連続したデータの書き込みの場合、連続して同一のフラッシュメモリに書き込むのではなく、他のフラッシュメモリに書き込むように制御する。

10 【0009】1ワードのデータをフラッシュメモリに書き込んでから次のデータを書き込むまでに数マイクロ秒から数十マイクロ秒の待ち時間が有る。そのため、連続して書き込みデータが有る場合、この待ち時間の間に連続して他のフラッシュメモリへ1ワードのデータを書き込み続ける。そして、最初に書き込んだフラッシュメモリの待ち時間を過ぎると、最初のフラッシュメモリからステータスポーリングを行ない、次の1ワードのデータを書き込む。この様に、フラッシュメモリの待ち時間の間に他のフラッシュメモリへの書き込みを行う。

20 【0010】複数の連続したデータを書き込む用途にフラッシュメモリを用いた場合、本実施例によればフラッシュメモリの低速の書き込みを、装置のトータルで高速化できる。すなわち、フラッシュメモリを半導体ディスク装置に用いた場合、複数の連続したデータが書き込まれる。しかし、連続したデータの書き込みの場合、フラッシュメモリへの書き込みが読み出しに比較して遅いため、トータルの転送速度が低下する。しかし、本実施例によればフラッシュメモリの書き込みが低速であっても、装置全体の書き込みの高速化を実現できる。

30 【0011】以下に、本発明の一実施例を図を用いて詳細に説明する。図1は、フラッシュメモリを用いた半導体ディスク装置のブロック図である。図中1は、パーソナルコンピュータなどの標準バスであり、このバスを介してシステムからのコマンドやデータの授受を行う。前記バスはこの他にもSCSIインターフェースやシステムのローカルバスなど、補助記憶装置を必要とするシステムとのプロトコルの取決めが有るものであれば特に限定はない。4は複数個のフラッシュメモリ。5は標準バス1から転送されたデータを一時保持するためのライトバッファメモリである。フラッシュメモリは読み出しに比較して書き込みが遅いため、標準バス1から転送されてくる書き込みデータを一時保持し、システム側にバス権を早く開放する。ライトバッファメモリ5は、図中ではスタティックRAMで構成している。しかし、スタティックRAMに限らず、揮発性・不揮発性に関係なくフラッシュメモリ4より高速に書き込みが可能な記憶素子であれば良い。また、半導体ディスク装置内に限らずシステム側にあるデータ記憶領域の一部を用いても良い。ライトバッファメモリ5は標準的なディスクのセクタ容量である512バイト単位で、複数セクタの容量を有す

50

る。2はプロセッサである。このプロセッサ2は、ライトバッファメモリ5からフラッシュメモリ4へのデータの書き込みの制御や、標準バスからのコマンドやステータスの授受や解析を行う。11は、システムが管理するセクタ番号である論理セクタ番号を、フラッシュメモリへの書き込む領域のセクタ番号である物理セクタ番号に変換する変換テーブル（始めてアクセスされる論理セクタ番号については、プロセッサ2が変換テーブルを作成する）を記憶しているスタティックラム（SRAM）である。31はフラッシュメモリ4やライトバッファメモリ5の実際のアドレスである物理アドレスを発生するアドレス制御部であり、プロセッサ2によって制御される。6はフラッシュメモリの書き込み電源であるV_{pp}を発生するV_{pp}発生回路であり、プロセッサ2で電源発生を制御される。71はフラッシュメモリ4やライトバッファメモリ5のメモリアドレスバスであり、アドレス制御部31より出力される。72はデータバスである。

【0012】図1の構成の半導体ディスク装置において、プロセッサ2が制御する書き込み動作を図2のフローチャートに示す。標準バス1から書き込みの要求かどうかを判断し（21）、要求がきたとき、プロセッサ2はV_{pp}発生回路6に対して書き込み電源V_{pp}の発生を起動する（22）。そして、プロセッサ2は標準バス1から渡された、システムが管理するセクタ番号である論理セクタ番号を、フラッシュメモリへの書き込む領域のセクタ番号である物理セクタ番号に変換する（23）。この際、標準バス1から転送されてくる複数セクタのデータを、それぞれセクタ単位で書き込むフラッシュメモリが別チップになる様に物理セクタ番号を決定する。例えば、最初に転送されてくる1セクタのデータをフラッシュメモリのチップ0に、次に転送されてくる1セクタのデータをフラッシュメモリのチップ1に、という具合にセクタ単位で割り当てる。この決定した物理セクタ番号を図3の示す書き込み管理テーブルに保持する。この書き込み管理テーブルはアドレス制御部31に存在する。図3では、標準バス1から転送されてくる3セクタ分のデータをライトバッファメモリ5のブロック1からブロック3に保持し、それぞれのブロックの1セクタのデータをそれぞれフラッシュメモリ4のチップ0のセクタ3、チップ1のセクタ2、チップ2のセクタ7へ書き込むことを示している。

【0013】そして、書き込み管理テーブルの設定が終了したら、標準バス1から転送されてくる3セクタのデータを、書き込み管理テーブルが指定する通りライトバッファメモリ5のブロック1からブロック3の3領域に受け取る。それにより、標準バス1のアクセス権を開放し、フラッシュメモリ4への書き込みを半導体ディスク装置内だけで処理できるようにする（24）。

【0014】そして、ライトバッファメモリ5に受け取

ったデータをフラッシュメモリ4に書き込んでいく。まず、プロセッサ2が書き込み管理テーブルのテーブル番号0を選択することにより、ライトバッファメモリ5やフラッシュメモリ4の物理アドレスがメモリアドレスバス71に出力される。よって、ライトバッファメモリ5のブロック1から1ワードのデータを読み出し（26）、フラッシュメモリ4のチップ0にライトコマンドを書き込み（27）、ライトバッファメモリ5から読み出した1ワードのデータをフラッシュメモリ4のチップ0に書き込む（28）。これで、フラッシュメモリ4のチップ0は内部でのデータの書き込みが開始されるが、内部での書き込みが終了するまでチップ0はデータの読み書きができない。次のチップに書き込むデータがあるか判断し（29）、あるときは、この間に別のメモリチップへの書き込みを行なう。物理セクタへの変換の時述べたように、連続セクタの書き込み時、セクタごとに別のチップに割り当てられている。プロセッサ2が書き込み管理テーブルのテーブル番号1を指定して（25）、ライトバッファメモリ5のブロック2から読みだした1ワードのデータをフラッシュメモリ4のチップ1に書き込む（26, 27, 28）。続けて、テーブル番号2を指定して、ライトバッファメモリ5のブロック3から読みだした1ワードのデータをフラッシュメモリ4のチップ2に書き込む（26, 27, 28）。

【0015】フラッシュメモリ4のチップ0、チップ1、チップ2それぞれに1ワードのデータを書き終えたら（29）、最初に書き込んだフラッシュメモリ4のチップ0のステータスポーリングを行ない（33）、フラッシュメモリ4のチップ内部での書き込みが終了したか確認する。この時も書き込みと同様に、プロセッサ2が書き込み管理テーブルのテーブル番号0を指定することによって、フラッシュメモリ4のチップ0のステータスを読みだす。ここでフラッシュメモリ4のチップ0の内部で書き込みが終了していないければステータスポーリングを繰り返す。書き込みが終了していたら、書き込み管理テーブルのテーブル0のカウンタ値をインクリメントする（34）。同様にして、書き込み管理テーブルに次のテーブルがあるか判断し（35）、あるときは、テーブル番号1を指定し、フラッシュメモリ4のチップ0の次にデータの書き込みを行なったチップ1のステータスポーリングを行なう。そして、フラッシュメモリ4のチップ1の内部での書き込みが終了していたら、その次にデータを書き込んだフラッシュメモリ4のチップ2のステータスポーリングを行なう（33）。書き込みを行なったフラッシュメモリ4のすべてのチップが、内部での書き込みを終了していたら、書き込みシーケンスの最初に戻る。

【0016】ここで、カウンタが512バイトに達しているか判断し、達していたら、バッファメモリ5からフラッシュメモリ4への全てのデータの書き込みが終了し

たことになる。カウンタがまだ512バイト以下の場合、前記の書き込み方式で続けて512バイトの書き込みが終了するまで繰り返す。そして、ライトバッファメモリ5からフラッシュメモリ4への全てのデータの書き込みが終了したら、プロセッサ2はVpp発生回路6に對して書き込み電源Vppの発生を停止させる(37)。

【0017】前記実施例でも明らかな様に3セクタのデータをほぼ1セクタの書き込み時間でフラッシュメモリへの書き込みが行なえる。本実施例では3セクタの書き込みの例を示したが、これは、3セクタより多くのセクタのデータの書き込みも同様であることは明らかである。

【0018】また前記実施例は、セクタ単位で書き込むフラッシュメモリを別チップに割り当てたが、セクタ内の512バイトを複数のブロックに分割する方法もある。その分割したブロック単位で異なるフラッシュメモリに書き込みを割り当てる。例えば512バイトを32バイト単位として16ブロックに分割する。そして、1ブロックから16ブロックを、それぞれフラッシュメモリの異なるチップに書き込む。これは32バイト単位としたが、16バイトや64バイトなど任意のバイト単位で良い。

【0019】また、前記実施例はライトコマンドと1ワードのデータを書き込んでから、次の1ワードのデータの書き込みまで一定の待ち時間があるフラッシュメモリを示した。しかし、ページ書き込みのできるフラッシュメモリ、即ちページライトコマンドを書き込んでから、複数ワードのデータを連続に書き込むことができ、複数ワードのデータを書き込んでからフラッシュメモリ内部でメモリチップへの書き込みが終了するまでに一定の待ち時間があるフラッシュメモリも、前記実施例と同様にして、ページ単位でデータを書き込んでからステータスポーリングまでの間に、データを書き込んだフラッシュメモリチップとは別のフラッシュメモリチップへのデータの書き込みを行なう。

【0020】また、フラッシュメモリ4へのデータの書き込みだけでなく、消去についても同様のことがいえる。フラッシュメモリ4はチップ単位あるいは複数ワードを一単位としたブロック単位で消去する。その消去方法は、フラッシュメモリ4に消去するブロックを示すアドレスの指定と同時に消去コマンドを書き込むことで、フラッシュメモリ4内部での消去処理を起動する。そして、フラッシュメモリ4内部での消去が終了するまで一定時間の待ち時間となる。その間は消去処理を行なっているフラッシュメモリ4へはステータスポーリング以外のアクセスはできない。そして、一定時間が経った後ステータスポーリングにより内部での消去の終了が確認されたら、次のフラッシュメモリの消去に移る。この一定時間の間に、消去を実行しているフラッシュメモリとは

別のフラッシュメモリに消去コマンドを書き込み、複数のフラッシュメモリの消去を同時に行なうことにより、半導体ディスク装置全体での消去の高速化を実現する。

【0021】図1の構成の半導体ディスク装置において、プロセッサ2が制御する消去動作を図4のフローチャートに示す。フラッシュメモリ4の消去時にも書き込み電源Vppを印加する必要が有るため、プロセッサ2はVpp発生回路6に對して書き込み電源Vppの発生を起動する(41)。そして、プロセッサ2は消去する10フラッシュメモリ4の物理セクタ番号を図3の書き込み管理テーブルに設定する(42)。この時、消去する領域が別のメモリチップになるように設定する。本実施例ではフラッシュメモリ4の消去単位が1セクタである場合について述べる。書き込み管理テーブルに消去するセクタの設定を行なった後、書き込み管理テーブルの指定を更新しながら(43)、テーブルの差し示すフラッシュメモリ4のそれぞれのチップに消去コマンドを書き込む(44)。次消去領域があるか判断し(45)、消去コマンドの書き込みがすべて終了したら、テーブル指定を更新し(46)、最初に消去コマンドを書き込んだメモリチップからステータスポーリングを行ない(47)、フラッシュメモリ4内部での消去処理が終了したかを確認する。そして次テーブル指定の有無を判断し(48)、全てのフラッシュメモリの消去処理が終了したら、プロセッサ2はVpp発生回路6に對して書き込み電源Vppの発生を停止させる(49)。

【0022】上記実施例は、1セクタ単位での消去を行なうフラッシュメモリについて述べた。しかし、フラッシュメモリによって、消去単位が違う。よって、フラッシュメモリの消去単位の違いにより書き込み管理テーブルの設定方法を違える。フラッシュメモリがチップ単位での消去の場合、書き込み管理テーブルのフラッシュメモリのチップ番号の欄だけの設定で良い。また、複数ワード単位で消去を行なうフラッシュメモリの場合は、書き込み管理テーブルのフラッシュメモリのチップ番号とセクタ番号の2つの欄のセットとなる。しかし、複数ワード単位で消去を行なうフラッシュメモリであっても、1セクタ単位での消去とは限らない。フラッシュメモリが複数セクタの容量を1ブロックとして消去する場合、40書き込み管理テーブルのフラッシュメモリのセクタ番号の欄の設定を行なうことで複数セクタの消去となる。

【0023】前記実施例では、書き込みや消去時など書き込み電源Vppが必要な場合、全てのフラッシュメモリ4に書き込み電源Vppを印加している。しかし、書き込み電源Vppを書き込みを行なうフラッシュメモリにのみ印加する方法も有る。その実施例である半導体ディスク装置のブロック図を図5に示す。図中61はVpp発生回路6からフラッシュメモリ4へ書き込み電源Vppの印加をオンオフするスイッチ部であり、プロセッサ2で制御され、複数の書き込み電源Vppの出力の選

択が可能である。その他は図 1 と同じ構成である。標準バス 1 から書き込みの要求がきたとき、プロセッサ 2 は V_{p p} 発生回路 6 に対して書き込み電源 V_{p p} の発生を起動する。その後、論理セクタ番号を物理セクタ番号に変換し、物理セクタ番号を図 2 の書き込み管理テーブルに保持する。この時、書き込みを行なう複数あるいは一つのフラッシュメモリ 4 への書き込み電源 V_{p p} を、V_{p p} スイッチ部 6 1 の指定によってそれぞれ印加してやる。この書き込み電源 V_{p p} の V_{p p} スイッチ部 6 1 の指定による印加は、書き込み時だけでなく、消去などフラッシュメモリ 4 が書き込み電源 V_{p p} を必要とする場合に行なうのは明らかである。

【0024】また、前記実施例は、書き込みや消去時に電源電圧とは異なる電圧値の書き込み電源 V_{p p} が必要であるフラッシュメモリについて述べた。しかし、単一電源のフラッシュメモリ、要するに書き込み電源 V_{p p} が必要の無いフラッシュメモリを搭載した半導体ディスク装置のブロック図を図 6 に示す。構成は図 1 と同じであるが、V_{p p} 発生回路 6 を搭載する必要が無い。また、図 2 の書き込みフローチャートや、図 4 の消去のフローチャートで書き込み電源のオンオフ処理が必要無くなるのは明らかである。

【0025】また、前記実施例では、書き込むフラッシュメモリのチップの選択をチップイネーブル信号 C E で行なっている。しかし、チップイネーブル信号 C E でなくライトイネーブル信号 WE で書き込むフラッシュメモリの選択を制御する方法が有る。その時の半導体ディスク装置のブロック図を図 7 に示す。図中 3 2 は書き込みを行なうフラッシュメモリ 4 へのライトイネーブル信号 WE を選択的にフラッシュメモリ 4 に与える、WE 選択部である。その他は図 1 と同じ構成である。WE 選択部 3 2 は書き込みが発生したフラッシュメモリに対してのみライトイネーブル信号を有効にする。プロセッサ 2 が行なう書き込みの制御は、図 2 のフローチャートが示す動作となる。

【0026】また、フラッシュメモリ 4 にはライトイネーブル信号 WE が無いものが有る。このフラッシュメモリにデータを書き込む場合には、チップイネーブル信号 C E と、書き込み電源 V_{p p} の制御により書き込みを制

御する。このようなフラッシュメモリであっても、本発明を用い、書き込みや消去の高速化が図れる。

【0027】以上の説明から明らかなように、本発明によれば、大量の書き込みデータが有る補助記憶装置等に、読み出しに比較して書き込みが低速なフラッシュメモリを用いても、装置全体での書き込みを高速に行なえるという効果が有る。特に、連続した大量のデータの書き込みが有る場合に効果が大きい。また、複数領域同時の消去に関しても高速に消去できる。

【0028】

【発明の効果】本発明は、以上のように構成されているために、データの書き込み時間を短縮した半導体記憶装置を提供できる。

【図面の簡単な説明】

【図 1】本発明の動作を行なう一実施例の半導体ディスク装置のブロック図。

【図 2】本発明の書き込み動作を示すフローチャート。

【図 3】本発明の動作で用いる、書き込み管理テーブル。

【図 4】本発明の消去動作を示すフローチャート。

【図 5】本発明の動作を行なう一実施例の半導体ディスク装置のブロック図。

【図 6】本発明の動作を行なう一実施例の半導体ディスク装置のブロック図。

【図 7】本発明の動作を行なう一実施例の半導体ディスク装置のブロック図。

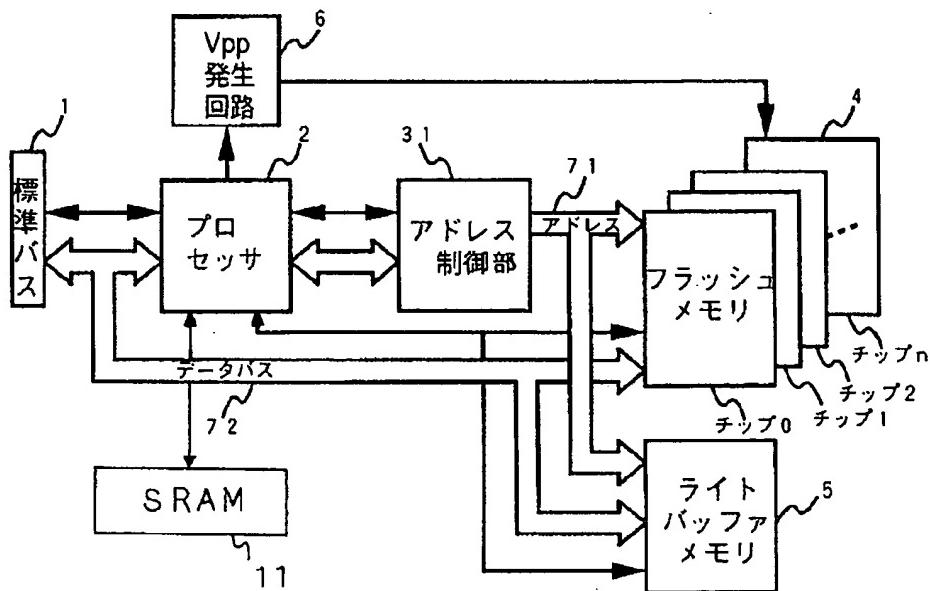
【図 8】フラッシュメモリの 1 ワードの書き込みタイミング波形の説明図。

【符号の説明】

- | | |
|----|----------------------------------|
| 30 | 1 . . . 標準バス |
| | 2 . . . プロセッサ |
| | 3 1 . . . アドレス制御部 |
| | 3 2 . . . WE 選択部 |
| | 4 . . . フラッシュメモリ |
| | 5 . . . ライトバッファメモリ |
| | 6 . . . V _{p p} 発生回路 |
| | 6 1 . . . V _{p p} スイッチ部 |
| | 7 1 . . . アドレスバス |
| | 7 2 . . . データバス |

【図1】

半導体ディスク装置ブロック図(図1)



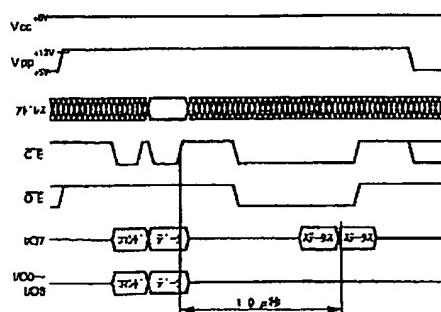
【図3】

書き込み管理テーブル(図3)

テーブル番号	ライトバッファメモリ		フラッシュメモリ (物理セクタ番号)		カウンタ
	ブロック番号	チップ番号	チップ番号	セクタ番号	
0	1	0	3	0	0
1	2	1	2	0	0
2	3	2	7	0	0
3	0	0	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮

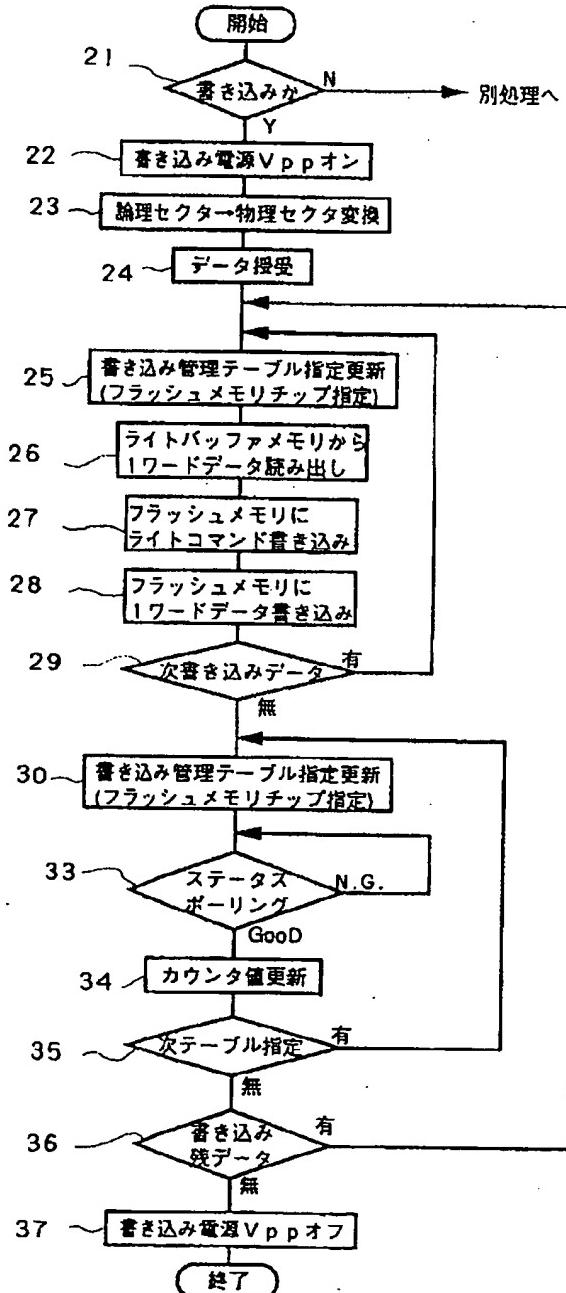
【図8】

フラッシュメモリ書き込みタイミング(図8)



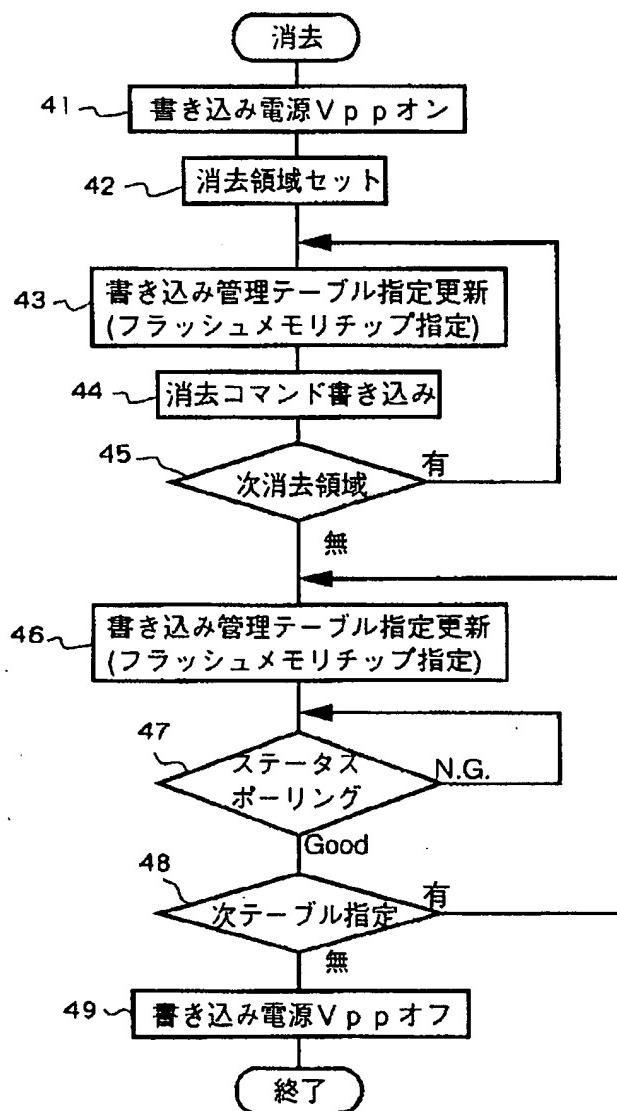
【図2】

フローチャート (図2)



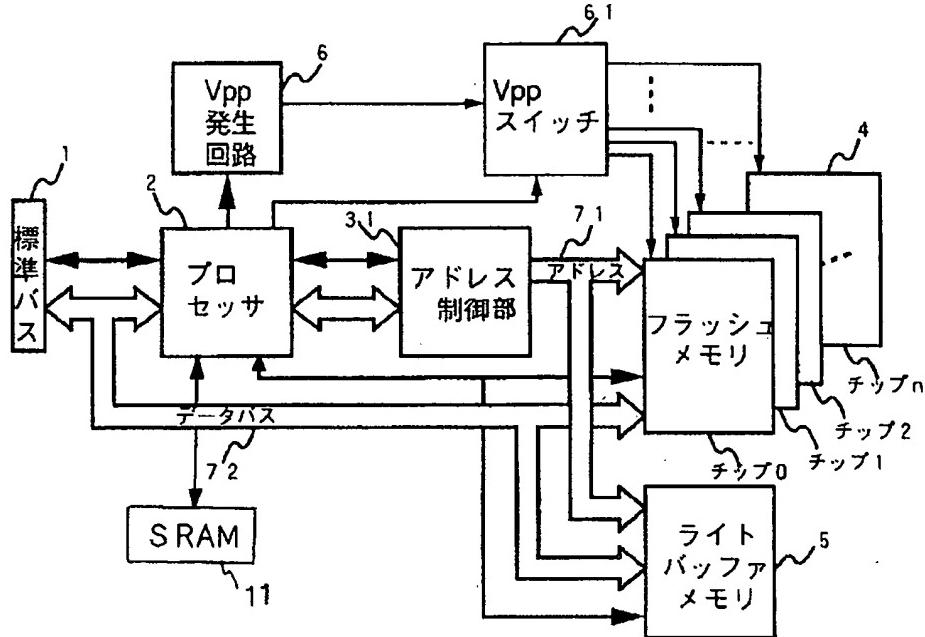
【図4】

フローチャート(図4)



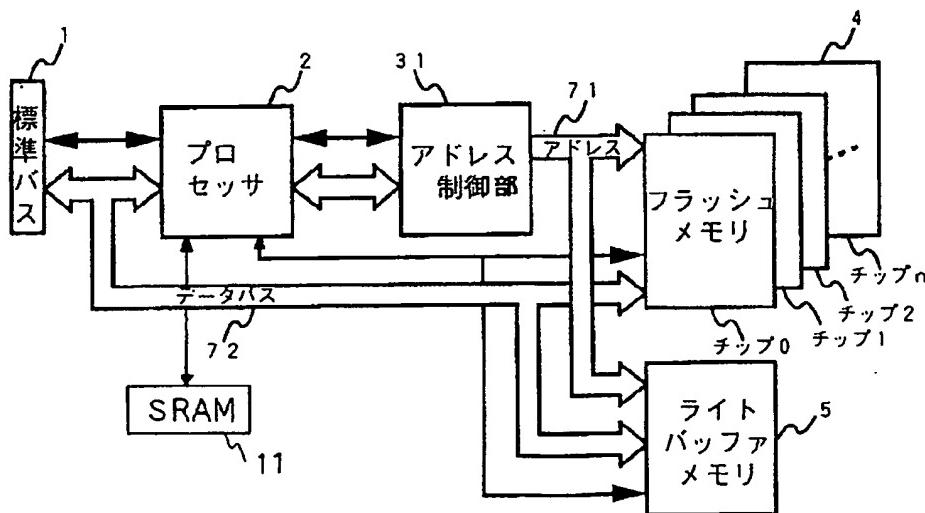
【図 5】

半導体ディスク装置ブロック図（図 5）



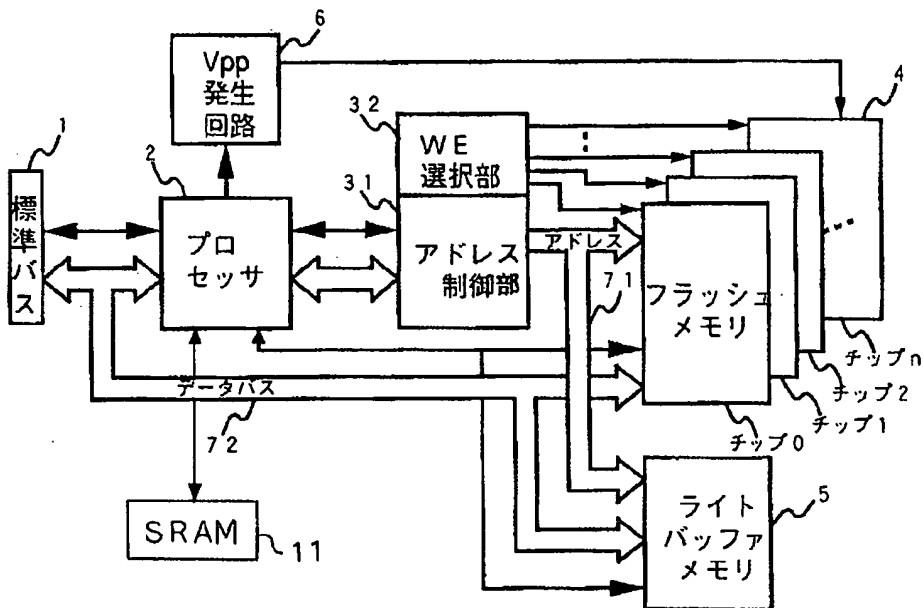
【図 6】

半導体ディスク装置ブロック図（図 6）



【図 7】

半導体ディスク装置ブロック図 (図 7)



フロントページの続き

(72) 発明者 常広 隆司
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所マイクロエレクトロニク
 ス機器開発研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.